

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of: Wang

Group Art Unit: Unassigned

Serial No.: Unassigned

Examiner: Unassigned

Filed: April 7, 2004

Docket No. 251806-1060

For: Clock Generator Circuit Using Phase Modulation Technology And Method Thereof

CLAIM OF PRIORITY TO AND
SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION
PURSUANT TO 35 U.S.C. §119

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

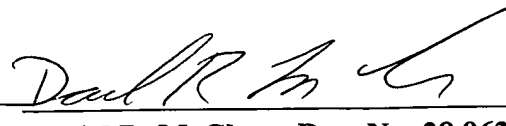
Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicant hereby claims priority to and the benefit of the filing date of Republic of China patent application entitled, "Clock Generator Circuit Using Phase Modulation Technology And Method Thereof", filed June 3, 2003, and assigned serial number 92115156.

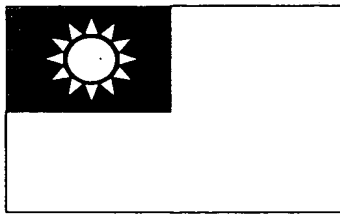
Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

Respectfully Submitted,

**THOMAS, KAYDEN, HORSTEMEYER
& RISLEY, L.L.P.**

By: 
Daniel R. McClure, Reg. No. 38,962

100 Galleria Parkway, Suite 1750
Atlanta, Georgia 30339
770-933-9500



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 03 日
Application Date

申請案號：092115156
Application No.

申請人：瑞昱半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 11 月 17 日
Issue Date

發文字號：09221157540
Serial No.

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：

※申請日期：

※IPC 分類：

壹、發明名稱：以相位調變技術進行展頻之電路及方法

貳、申請人：(共 1 人)

姓名或名稱：瑞昱半導體股份有限公司

代表人：葉博任

住居所或營業所地址：新竹市科學園區工業東九路 2 樓

國 籍：中華民國

參、發明人：(共 1 人)

姓 名：汪炳穎

ID：C120661511

住居所地址：新竹市民權路 56 巷 2 號 6 樓之 1

國 籍：中華民國

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

- 1.
- 2.
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

伍、中文發明摘要：

本案係為一種以相位調變技術進行展頻之電路及方法，該電路包含一多相位振盪時脈產生器，用以產生複數個固定頻率之不同相位之振盪時脈信號，且該振盪時脈信號係於一時脈週期內具有 X 個相位；一調變值產生器，用以產生至少一調變值；一積分-三角調變器，電連接於該調變值產生器，用以因應該調變值而產生至少一相位調變值；以及一相位調變器，電連接於該積分-三角調變器，並因應該相位調變值而藉由選擇該等振盪時脈信號之某一個相位輸出，以產生一調變時脈信號，藉由調整該調變值來改變該調變時脈信號之等效頻率，進而達成該振盪時脈信號之展頻。

陸、英文發明摘要：

柒、指定代表圖：

(一)本案指定代表圖為：第(五)圖。

(二)本代表圖之元件代表符號簡單說明：

51:多相位振盪時脈產生器 511:相頻偵測器

512:電荷泵 513:回路濾波器

514:壓控振盪器 515:除頻器

52:相位調變器 53:積分-三角調變器

54:調變值產生器 55:除頻器

56:第三鎖相回路 57:第二鎖相回路

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

玖、發明說明：

玖、發明說明：

【發明所屬之技術領域】

本案係為一種展頻之電路及方法，尤指一種以相位調變技術進行展頻之電路及方法。

【先前技術】

展頻(Spread Spectrum)係能減少集中於同一頻率之能量，進而降低對其他電子元件的電磁干擾。請參閱第一圖，其係習用以鎖相迴路進行展頻之電路方塊示意圖，該鎖相迴路係包含有一相頻偵測器(Phase Frequency Detector, PFD)11、一電荷泵(Charge Pump)12、一回路濾波器(Loop Filter)13、一壓控振盪器(Voltage Controlled Oscillator, VCO)14、及一除頻器(Divider)15。習用以鎖相迴路進行展頻之電路係於該電荷泵 12 與該回路濾波器 13 之間加入一調變信號，以改變該回路濾波器 13 之輸出電壓(即該壓控振盪器 14 之控制電壓)，進而改變該壓控振盪器 14 之輸出時脈頻率，達成展頻之目的。

在該鎖相回路未加入該調變信號時，該壓控振盪器 14 係組態設定為產生一頻率為該參考時脈頻率之 N 倍的輸出時脈，該壓控振盪器 14 所產生之該輸出時脈經由該除頻器 15 進行除頻後，與該參考時脈在該相頻偵測器 11 中進行比較，比較結果決定該電荷泵 12 內之電流源是吸收還是送出電流，所以電荷會流入或流出該回路濾波器 13 內之電容器，進而影響該回路濾波器 13 之輸出電壓，而電荷流動的數量與該比較結果之相差大小成正比。因為該回路濾波器

13 係電連接於該壓控振盪器 14，故當該回路濾波器 13 之輸出電壓改變時，該壓控振盪器 14 之控制電壓跟著改變，使得其輸出之該輸出時脈頻率改變，致使該輸出時脈頻率與該參考時脈頻率之差頻減少。當該輸出時脈相近於 N 倍之該參考時脈時，該鎖相回路之回授動作使得該壓控振盪器 14 鎖定該參考時脈，一旦該壓控振盪器 14 鎖定該參考時脈，除了相位還有些許不同外，該輸出時脈頻率將和該參考時脈頻率之 N 倍完全相同。

由上述可知，未加入該調變信號前，該回路濾波器 13 之輸出係為一直流電壓值，而該壓控振盪器 14 之該輸出時脈則為一固定頻率。但為了達成展頻之目的，習知技術之作法係於該電荷泵 12 與該回路濾波器 13 之間加入該調變信號，該調變信號係用來對該回路濾波器 13 之輸入電壓進行干擾，以改變該電荷泵 12 該回路濾波器 13 之輸出電壓，進而改變該壓控振盪器 14 之控制電壓。第一圖中 A 點及 B 點之波形圖分別為第二圖(a)及第二圖(b)，其中 A 點係為該壓控振盪器 14 之輸入端，而 B 點則為該壓控振盪器 14 之輸出端。由圖可知，因為加入了該調變信號，故該壓控振盪器 14 之輸入端(A 點)之電壓值係為一變化值，使得其輸出時脈之頻率也跟著產生變化，因此達成展頻之目的。

然而，習用將調變信號加於鎖相迴路中以進行展頻之方式有下列缺失：

1. 因為該鎖相回路之回路頻寬 (Loop Bandwidth) 小於該調變信號之頻率，導致該回路濾波器 13 內之電容器之面積必須增大，進而使得電路元件之體積變大。

2. 習知技術之作法只能進行中心展頻 (center spread spectrum)，無法向下展頻 (down spread spectrum)，而一般說來，向上展頻對於系統的其他元件來說，速度也許無法跟上，而向下展頻則通常不會有速度跟不上的問題。

3. 因為該鎖相回路之回路頻寬過小，導致該壓控振盪器 14 之該輸出時脈波形變為正弦波，如第三圖 (a) 與第三圖 (b) 所示，而其理想頻譜圖與實際頻譜圖則如第四圖 (a) 與第四圖 (b) 所示，由圖可知，因為能量集中於 f_1 及 f_2 處，使得其實際頻譜圖無法獲得較平滑的曲線，易無法符合電磁干擾之相關規範。

【發明內容】

本案之主要目的在於提供一種以相位調變技術進行展頻之電路及方法，該電路不需於鎖相回路中使用調變信

號，故鎖相回路中之回路濾波器之電容器面積不須增大，因此有效減小電路元件的體積。

本案之另一目的在於提供一種以相位調變技術進行展頻之電路及方法，該方法不但可進行中心展頻，也可進行向下展頻，使得應用層面大為增加。

本案之又一目的在於提供一種以相位調變技術進行展頻之電路及方法，因為該電路之鎖相回路之回路頻寬大，因此沒有能量過度集中的問題，使得其頻譜圖能獲得較平滑的曲線。

根據本案之構想，提供一種以相位調變技術進行展頻之電路，係接收一固定頻率之不同相位之複數個振盪時脈信號，而該電路包含一調變值產生器，用以產生一調變值；一積分-三角調變器，電連接於該調變值產生器，並根據該調變值而產生一相位調變值；以及一相位調變器，電連接於該積分-三角調變器，係因應該相位調變值以及該等振盪時脈信號，以產生一調變時脈信號，藉由調整該相位調變值來改變該調變時脈信號之平均頻率，進而達成該振盪時脈信號之展頻。

【實施方式】

請參閱第五圖(a)，其係本案一實施例之以相位調變技術進行展頻之電路方塊圖，其包含有一多相位振盪時脈產生器 51、一調變值產生器 54、一積分-三角調變器(Delta Sigma Modulator)53、一相位調變器 52、一除頻器 55、及一第二鎖相回路 57。其中該多相位振盪時脈產生器 51 可為一第一鎖相回路，該第一鎖相回路係由一相頻偵測器 511、一電荷泵 512、一回路濾波器 513、一壓控振盪器 514、及一除頻器 515 所組成。

該多相位振盪時脈產生器 51 係接受一參考時脈信號並輸出複數個具有一固定頻率且不同相位之振盪時脈信號，其波形如第六圖所示。第六圖所示之波形係以該等振盪時脈信號於一時脈週期內具有 8 個相位(P0~P7)為例，由圖可知，該等振盪時脈信號之頻率皆為相同，只是相位有些許不同。該調變值產生器 54 係用以產生一調變值。該積分-三角調變器 53 係電連接於該調變值產生器 54，用以因應該調變值而產生一相位調變值。而該相位調變器 52 則電連接於該多相位振盪時脈產生器 51，其於接收到該等振盪時脈信號，並根據該積分-三角調變器 53 所產生之一相位調變值，而以選擇相位(領先相位或延遲相位)之方式來產生一調變時脈信號。

該相位調變器 52 包括一相位選擇器 58，用以選擇相位以輸出一調變時脈信號。請參閱第五圖(b)，該相位調變器 52 還包括一相位內插器 59，用以接受該振盪時脈信號並進行相位內插後輸出，以獲得更多相位之該等調變時脈信號，再藉由該相位選擇器 58 選擇其中之相位而輸出一調變時脈信號。請參閱第五圖(c)，為該相位調變器 52 之另一實施例，該相位調變器 52 包括一相位內插器 59 以及一相位選擇器 58，該相位選擇器 58 用以接受該等振盪時脈信號，選擇兩相鄰之兩振盪時脈信號作為輸出。該相位內插器 59 接收該兩相鄰之兩振盪時脈信號，進行相位內插後輸出該調變時脈信號。

為更清楚闡釋本案之技術原理，今假設該調變值為 M ，該積分-三角調變器 53 為一階積分-三角調變器，而該一階積分-三角調變器係以一 K 位元累加器(Accumulator)來完成，請參閱第七圖(a)。這表示該調變值產生器 54 每傳送一次調變值 M 值到該積分-三角調變器 53 時，該積分-三角調變器 53 就進行一次累加動作，直到累加值超過 2^K 時，該積分-三角調變器 53 會輸出該相位調變值，亦即輸出“1”。而當該相位調變器 52 接收到該相位調變值時，就對該等振盪時脈信號進行相位領先或相位延遲的動作，會使用這種作法，是不希望在短時間內一直進行相位領先

或相先延遲的動作，這樣會造成頻率變化過於劇烈。因此，本案之作法係藉由該 K 位元累加器之運作，讓其很平均地在 2^k 個時脈週期內領先或延遲 M 個相位。根據上述原理，如 M 值設為 357，且 K 值設為 10(表示該積分-三角調變器 53 為一 10 位元累加器)，則每 1024 個時脈週期中就會產生 357 個進位值，換言之，經過了 1024 個時脈週期後，共領先或延遲了 357 個相位，而 M 值可由該調變值產生器 54 所產生。利用控制該調變值產生器 54 所輸出之調變值(M 值)，即可控制該相位調變器 52 所輸出之該調變時脈信號之平均頻率。當然，控制該調變值產生器 54 可由外部控制，亦可偵測該調變時脈信號之平均頻率，以決定所須輸出之調變值(M 值)。

現以相位延遲為例，假設該等振盪時脈信號之週期為 T_0 ，該等振盪時脈信號係於一時脈週期內具有 P 個相位，該相位調變器 52 每接收到一次該相位調變值，就延遲或縮短至少一個相位，以延遲一個相位為例，則延遲一個相位的時間為 $\frac{T_0}{P}$ ，而經過了 2^k 個時脈週期後，可推導出下列公式：

$$2^k * T' = 2^k * T_0 + \frac{M}{P} * T_0$$

$$T' = \frac{2^K * T_0 + \frac{M}{P} * T_0}{2^K} = \left(\frac{2^K + \frac{M}{P}}{2^K} \right) * T_0, \text{ 而}$$

$$F' = \frac{1}{T'} = \frac{2^K}{(2^K + \frac{M}{P}) * T_0} = F_0 * \frac{2^K}{2^K + \frac{M}{P}} = F_0 * \frac{1}{1 + \frac{M}{2^K * P}}$$

T' : 調變後之平均週期

F' : 調變後之平均頻率

F_0 : 該等振盪時脈信號之頻率

由以上公式可知，經過 2^K 個時脈週期後，該相位調變器 52 所輸出之該等調變時脈信號之平均頻率會隨著 M 值的大小而產生不同的變化，當 M 值愈大時，該調變時脈信號之平均頻率愈低；反之，當 M 值愈小時，該調變時脈信號之平均頻率愈高。本案之技術原理即係藉由 M 值的調整來改變該等調變時脈信號之平均頻率大小，在不同的時段使用不同的 M 值（例如 $M1$ 、 $M2$ 、 $M3$ 、...），使得該等調變時脈信號之平均頻率一直在改變，而為了不讓頻率變化過於劇烈，本案使用該積分-三角調變器 53 來打散該相位調變值，使其平均地分佈於 2^K 個時脈週期裡，以緩和頻率的變化，而該相位調變器 52 之輸出端波形如第七圖 (b) 所示（ M

$1 < M_2 < M_3 < \dots < M_n$)。由第七圖(b)可知，當 M 值改變時，該調變時脈信號之平均頻率也跟著改變，藉由調整 M 值來改變該調變時脈信號之平均頻率，以達成該等振盪時脈信號之展頻。

請參閱第八圖(a)及第八圖(b)，其係該積分-三角調變器 53 與該調變值產生器 54 之輸出端波形圖，由該二圖之對照可明顯看出，當該調變值愈大時，該積分-三角調變器 53 之輸出波形之密度愈大，這是因為 M 值愈大，該積分-三角調變器 53 所產生之相位調變值愈多所致。

當然，若希望該調變時脈信號具有更小的週期抖動(period jitter)，可透過一第二鎖相回路 57，以降低週期抖動的影響，進而獲得一波形較為平滑之第一展頻信號。若該調變時脈信號之平均頻率過大，可使用一除頻器 55 來進行除頻，以產生所需頻率之一除頻時脈信號，再經過一第三鎖相回路 56，以獲得一第二展頻信號。

由前所述，本案相較於習知技術，顯有如下優點：

1. 不需於鎖相回路中額外增加調變信號產生器產生一調變信號。
2. 因為不需於鎖相回路中使用一調變信號，故鎖相回

路中之回路濾波器之電容器面積不須增大，因此有效減小電路元件的體積。

3. 本案之技術可進行中心展頻，也可進行單方向展頻，例如向下展頻，使得應用層面大為增加。

4. 因為不需於鎖相回路中使用一調變信號，因此沒有能量過度集中的問題，使得其頻譜圖能獲得較平滑的曲線。

綜上所述，本案能有效改善習知技術之缺失，是故具有產業價值，進而達成發展本案之目的。

本案得由熟悉本技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。

【圖式簡單說明】

第一圖：其係習用以鎖相迴路進行展頻之電路方塊示意圖。

第二圖(a)：其係第一圖中 A 點之波形圖。

第二圖(b)：其係第一圖中 B 點之波形圖。

第三圖(a)：其係第一圖所示電路之理想輸出波形圖。

第三圖(b):其係第一圖所示電路之實際輸出波形圖。

第四圖(a):其係第一圖所示電路之理想頻譜圖。

第四圖(b):其係第一圖所示電路之實際頻譜圖。

第五圖(a):其係本案一實施例之以相位調變技術進行展頻之電路方塊圖。

第五圖(b):係相位調變器之一實施例之電路方塊圖。

第五圖(c):係相位調變器之另一實施例之電路方塊圖。

第六圖:其係第五圖所示電路之振盪時脈信號波形圖。

第七圖(a):係積分-三角調變器之一實施例之電路圖。

第七圖(b):其係第五圖之調變值產生器所輸出之調變值之波形圖。

第八圖(a):其係第五圖之積分-三角調變器之輸出端波形圖。

第八圖(b):其係第五圖之調變值產生器之輸出端波形圖。

元 件 符 號 說 明

11: 相 頻 偵 測 器	12: 電 荷 泵
13: 回 路 濾 波 器	14: 壓 控 振 盪 器
15: 除 頻 器	51: 多 相 位 振 盪 時 脈 產 生 器
511: 相 頻 偵 測 器	512: 電 荷 泵
513: 回 路 濾 波 器	514: 壓 控 振 盪 器
515: 除 頻 器	52: 相 位 調 變 器
53: 積 分 - 三 角 調 變 器	54: 調 變 值 產 生 器
55: 除 頻 器	56: 第 三 鎖 相 回 路
57: 第 二 鎖 相 回 路	

拾、申請專利範圍：

1. 一種用以展頻之電路，其包含：

一多相位振盪時脈產生器，用以接收一參考時脈信號，並產生具有一固定頻率之複數個振盪時脈信號，且相位不相同；

一調變值產生器，用以產生一調變信號；

一積分-三角調變器，電連接於該調變值產生器，用以因應該調變信號而產生一相位調變信號；以及

一相位調變器，電連接於該積分-三角調變器，並根據該相位調變信號，藉由選擇該等振盪時脈信號之某一個相位輸出，來產生一調變時脈信號。

2. 如申請專利範圍第 1 項所述之電路更包含一除頻器，耦接於該相位調變器，用以對該調變時脈信號進行除頻，產生一輸出時脈信號。

3. 如申請專利範圍第 2 項所述之電路更包含一第二鎖相回路，電連接於該除頻器，用以降低該輸出時脈信號之週期抖動。

4. 如申請專利範圍第 1 項所述之電路更包含一第三鎖相回路，電連接於該相位調變器，除用以降低該調變時脈信號之週期抖動。

5. 如申請專利範圍第 1 項所述之電路，其中該多相位振盪時脈產生器為一第一鎖相回路。

6. 如申請專利範圍第 5 項所述之電路，其中該第一鎖相回路係由一相頻偵測器、一電荷泵、一回路濾波器、一壓控振盪器、及一除頻器所組成。

7. 如申請專利範圍第 1 項所述之電路，其中該調變值越小，則該調變時脈信號之平均頻率越高。

8. 如申請專利範圍第 1 項所述之電路，其中藉由改變該調變值，即可控制該調變時脈信號之平均頻率。

9. 如申請專利範圍第 1 項所述之電路，其中該調變值產生器根據該調變時脈信號之平均頻率，以決定該調變值。

10. 如申請專利範圍第 1 項所述之電路，其中該積分-三角調變器係為一階積分-三角調變器。

11. 如申請專利範圍第 10 項所述之電路，其中該積分-三角調變器包括一累加器。

12. 如申請專利範圍第 1 項所述之電路，其中該相位選擇之方式是以領先相位或是延遲相位之方式來進行。

13. 如申請專利範圍第 1 項所述之電路，其中該相位調變器包括：

一相位選擇器，係用以接受該等振盪時脈信號，並根據該相位調變信號來選擇兩相鄰之振盪時脈信號作為輸出；以及

一相位內插器，係用以接收該兩相鄰之振盪時脈信號，進行相位內插後輸出該調變時脈信號。

14. 如申請專利範圍第 1 項所述之電路，其中該相位調變器包括：

一相位內插器，係用以接受該等振盪時脈信號，產生一相位內插振盪時脈信號；以及

一相位選擇器，係用以接受該相位內插振盪時脈信號，並根據該相位調變信號來選擇該相位內插振盪時脈信號之某一個相位輸出，來產生該調變時脈信號。

15. 一種方法係用以進行展頻，包含：

接收複數個振盪時脈信號，該等振盪時脈信號其頻率相同，但相位不相同；

根據一調變信號，經過積分-三角調變後，產生一相位調變信號；

根據該相位調變值選擇該等振盪時脈信號之某一個相位作為輸出，以輸出一調變時脈信號。

16. 如申請專利範圍第 15 項所述之方法，其中，藉由調整該調變信號，來控制該調變時脈信號之平均頻率。

17. 如申請專利範圍第 15 項所述之方法，其中其中該調變信號之數值越小，則該調變時脈信號之平均頻率越高。

18. 如申請專利範圍第 15 項所述之方法，還包括偵測步驟，藉由偵測調變時脈信號，以決定該調變信號之數值。

19. 如申請專利範圍第 15 項所述之方法，還包括減緩週期抖動之步驟，係藉由一鎖相迴路電路來減緩該調變時脈信號之週期抖動現象。

20. 如申請專利範圍第 15 項所述之方法，其中該選擇相位步驟中，係以領先或延遲該振盪時脈信號之相位來進行。

21. 如申請專利範圍第 15 項所述之方法，其中該選擇相位步驟中還包括：

將該等振盪時脈信號執行相位內插後，產生一相位內插振盪時脈信號；以及

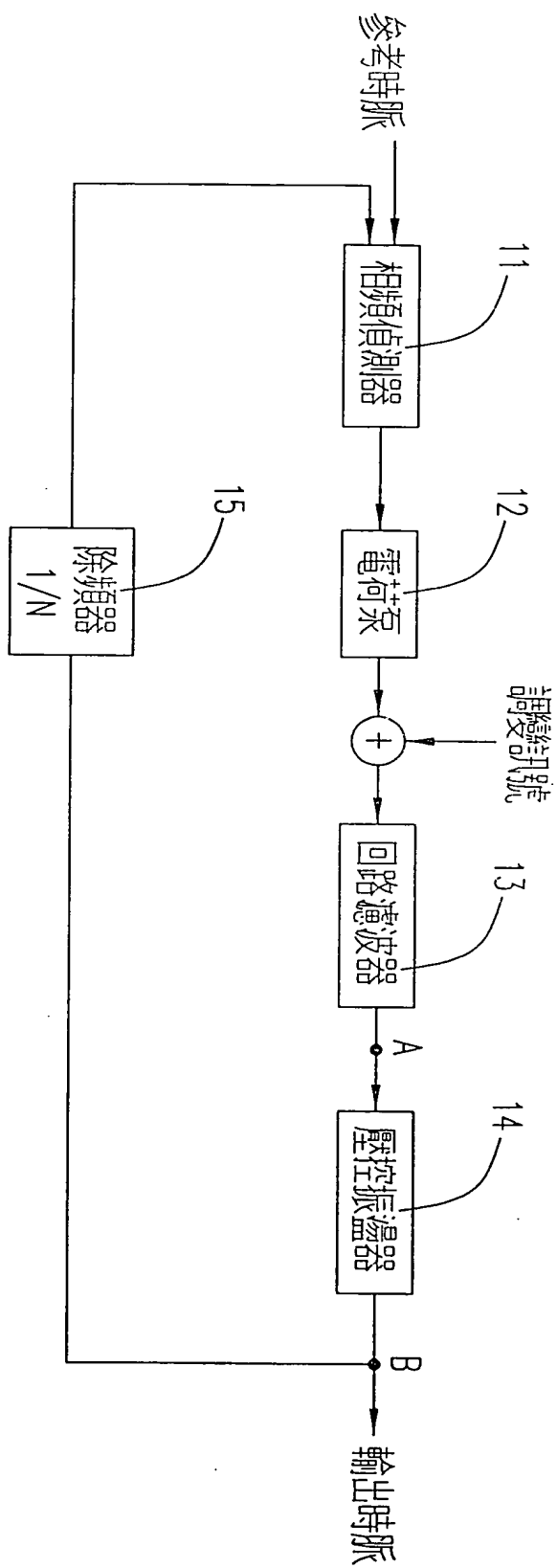
根據該相位調變值選擇該相位內插振盪時脈信號之某一個相位作為輸出，以輸出該調變時脈信號。

22. 如申請專利範圍第 15 項所述之方法，其中該選擇相位步驟中還包括：

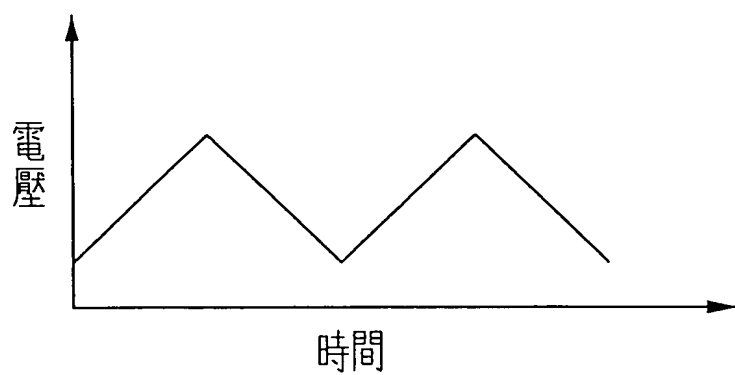
根據該相位調變值選擇該等振盪時脈信號之兩相鄰振盪時脈信號作為輸出；以及

將該兩相鄰振盪時脈信號執行相位內插後，產生該調變時脈信號。

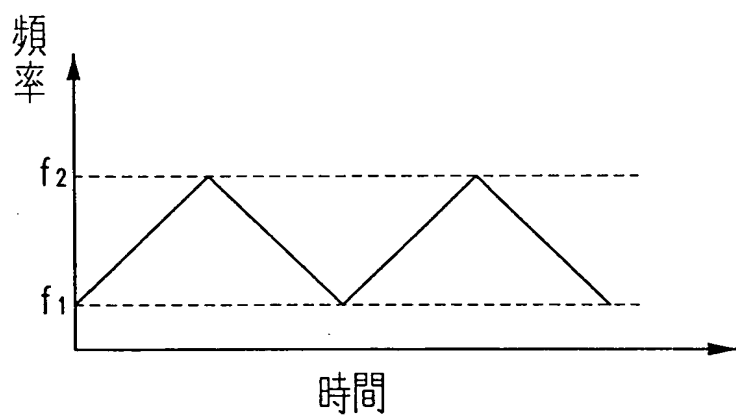
拾壹、圖式：



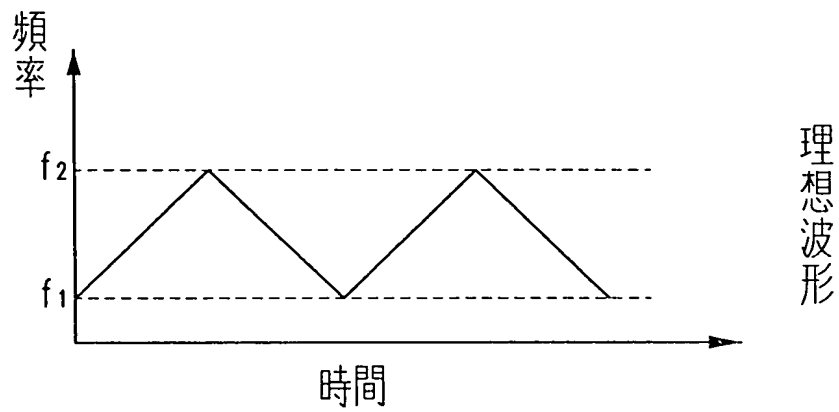
第一圖



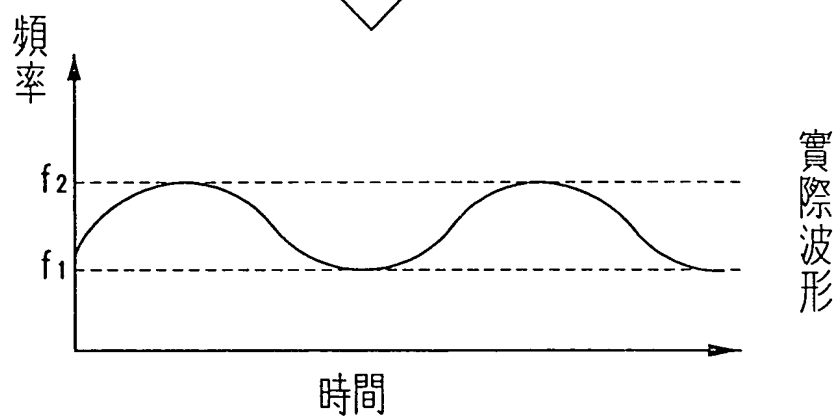
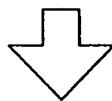
第二圖(a)



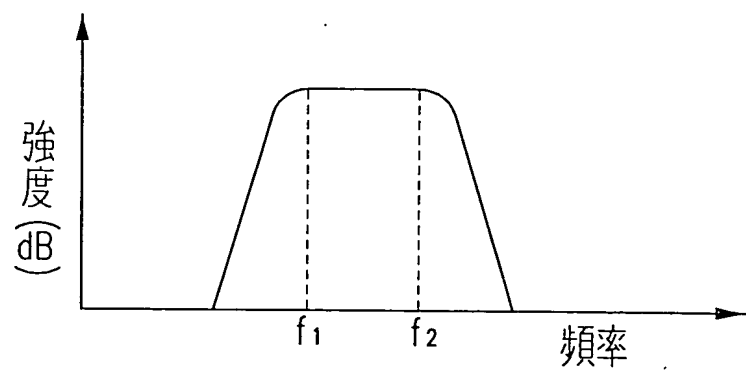
第二圖(b)



第三圖(a)

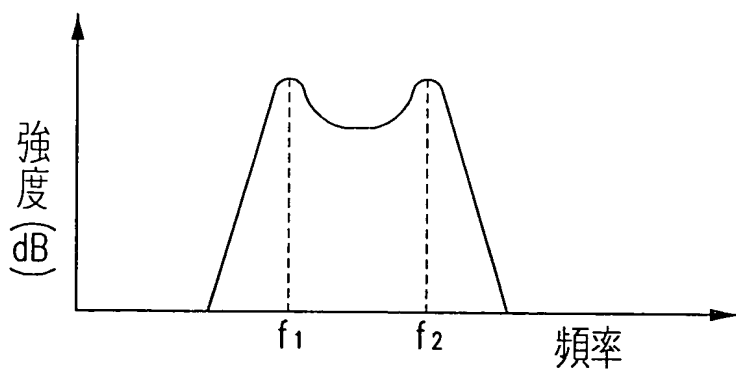


第三圖(b)



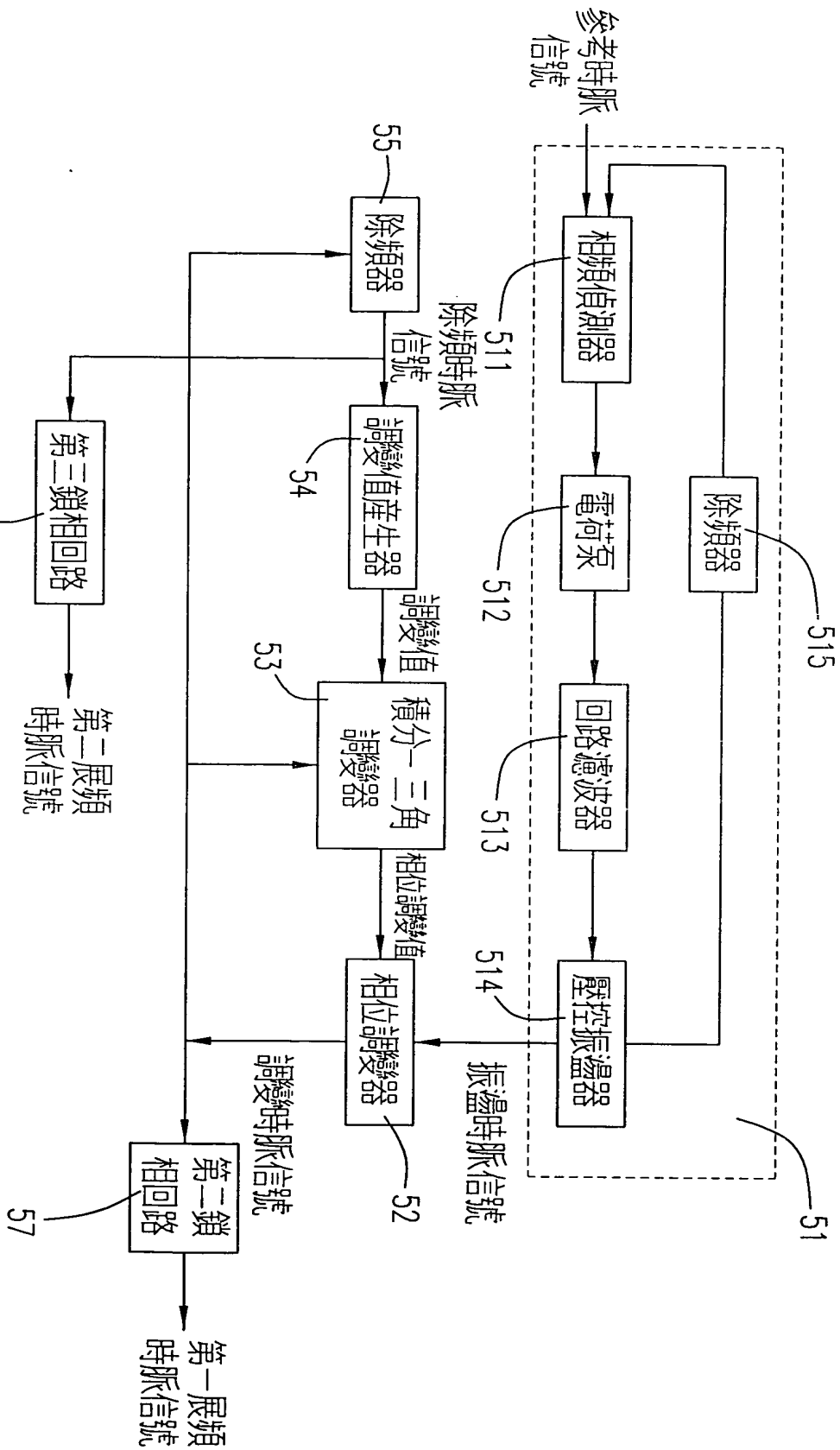
理想頻譜圖

第四圖(a)

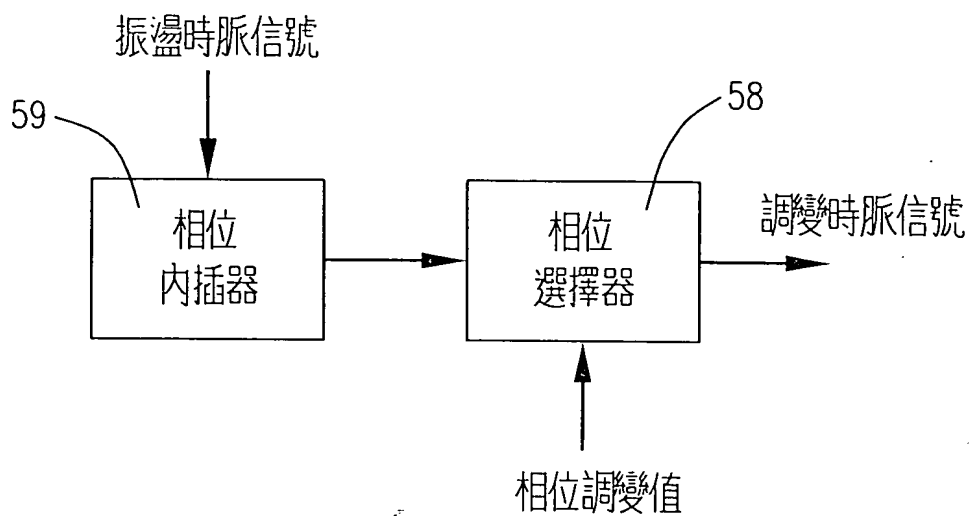


實際頻譜圖

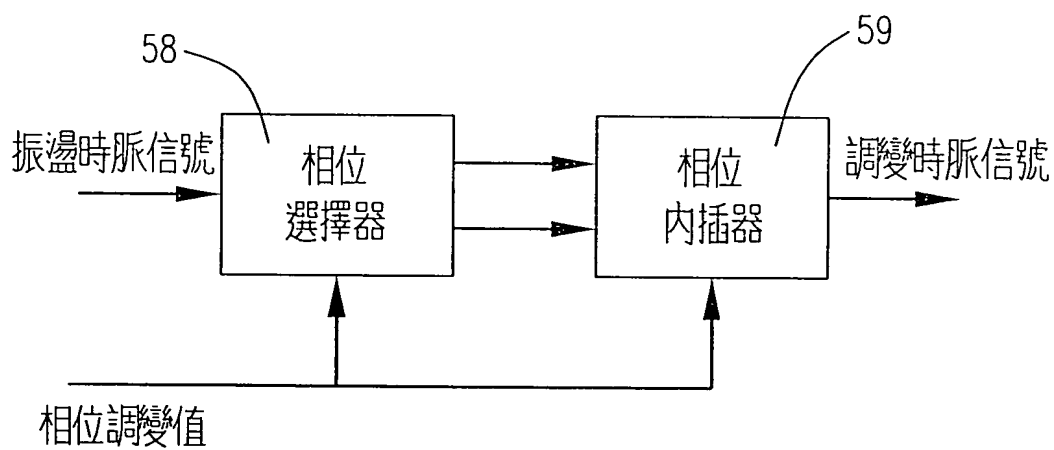
第四圖(b)



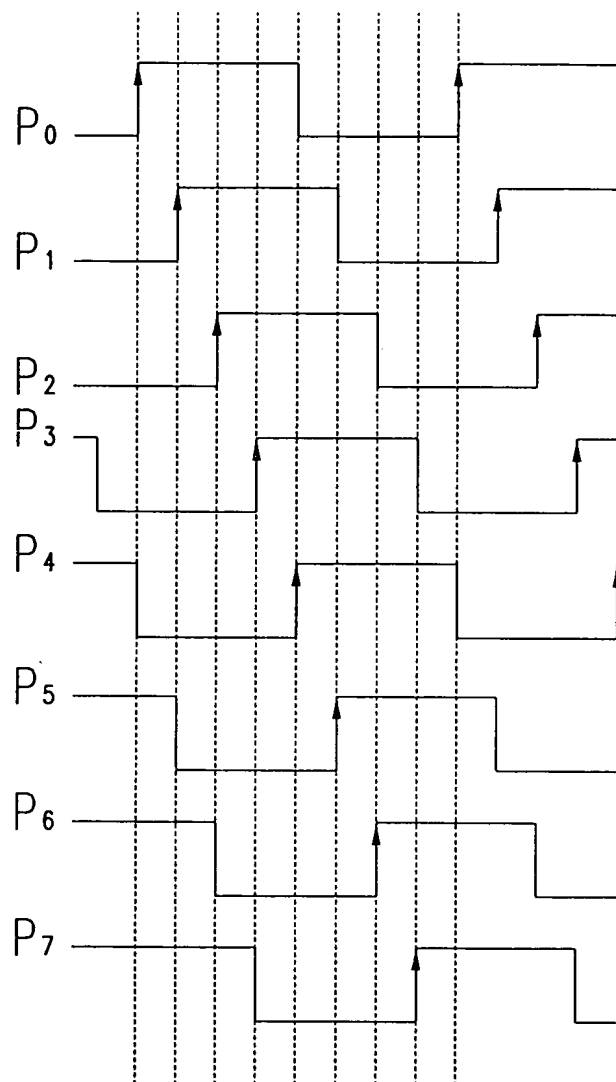
第五圖(a)



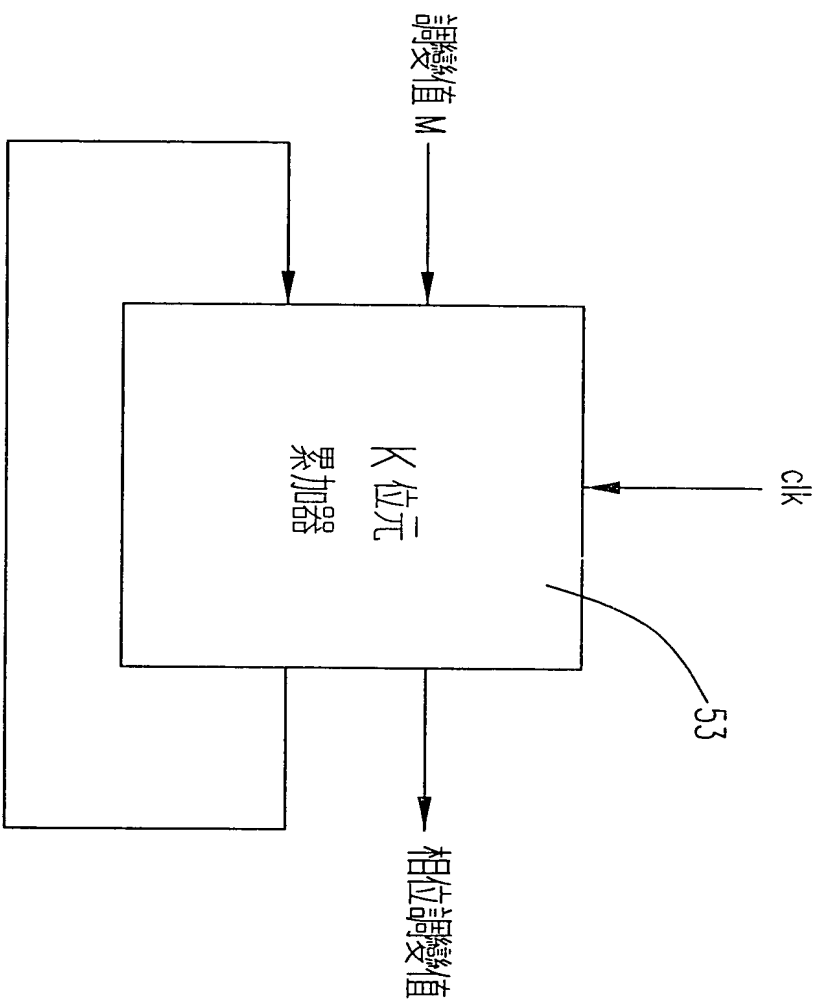
第五圖(b)



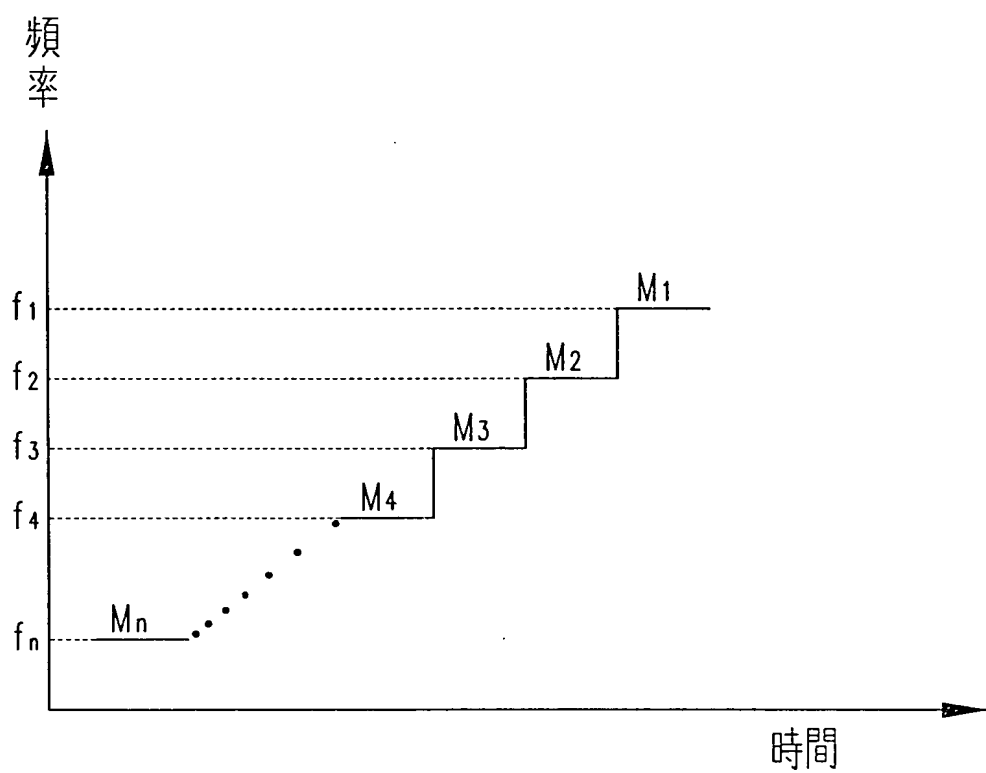
第五圖(c)



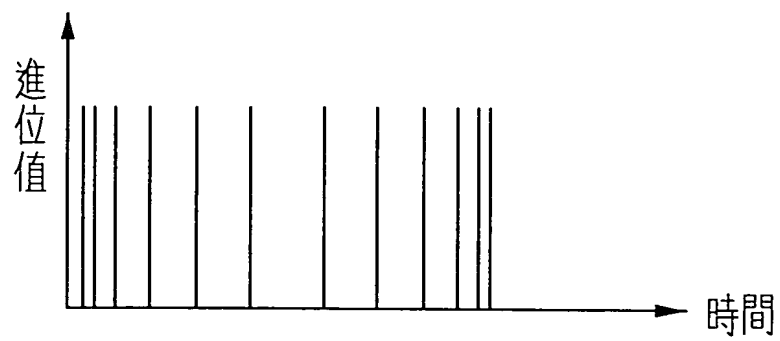
第六圖



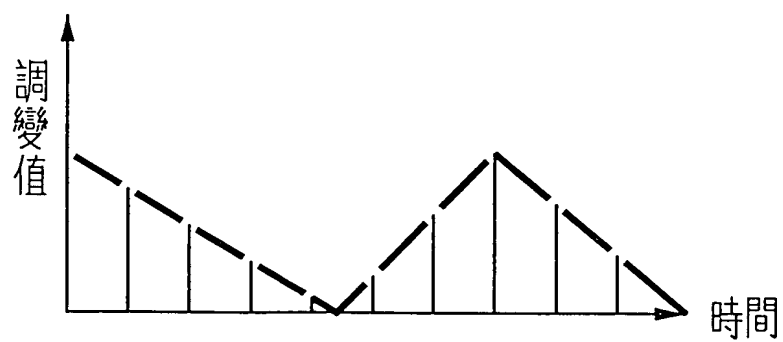
第七圖(a)



第七圖(b)



第八圖(a)



第八圖(b)